

MODELLO NON LINEARE DI PHASE-LOCKED LOOPS BASATI SU CHARGE PUMP

Daniele Linaro^(), Marco Storace^(*), Angelo Brambilla^(**)*

(*) Dip. di Ingegneria Biofisica ed Elettronica, Università degli Studi di Genova
Via Opera Pia, 11A, I-16145, Genova

(**) Dip. di Elettronica e Informazione, Politecnico di Milano
Via Ponzio, 34/5, I-20133, Milano

Nonostante la natura non lineare anche delle versioni più semplici di Phase-Locked Loop (PLL), nelle fasi iniziali di progetto vengono ancora ampiamente utilizzati semplici modelli lineari [1,2]. Le ipotesi alla base dell'utilizzo di un modello lineare sono essenzialmente due: innanzitutto, si assume che l'oscillatore controllato in tensione (VCO) reagisca istantaneamente alle variazioni di frequenza del segnale di riferimento, e in secondo luogo che la natura digitale del rilevatore di fase che pilota la pompa di carica possa essere trascurato.

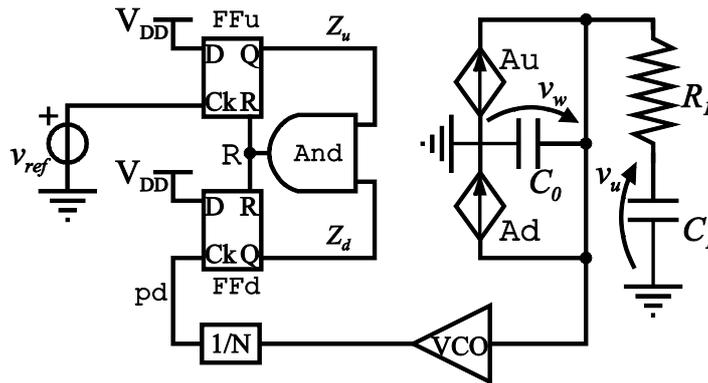


Figura 1. Schema del PLL considerato.

In Figura 1 è riportato il modello schematico del PLL preso in considerazione. L'obiettivo del lavoro svolto [3] è stato lo sviluppo di un modello non lineare semplificato, che da un lato non tenesse in considerazione dettagli quali le capacità parassite dei transistor contenuti nel VCO, ma che allo stesso tempo consentisse una buona riproduzione delle proprietà dinamiche dei PLL e dei VCO ivi contenuti.

Il modello comportamentale proposto è stato quindi implementato sia nel simulatore circuitale "general purpose" PAN (disponibile all'indirizzo <http://brambilla.elet.polimi.it>) sia in un simulatore "ad hoc" scritto in linguaggio C++, adatto a simulazioni estensive per ampi intervalli dei parametri del PLL, quali ad esempio la frequenza di riferimento alla quale il dispositivo si deve "agganciare". I parametri del modello comportamentale possono essere identificati mediante un numero limitato di simulazioni di modelli accurati (con descrizione dettagliata del circuito che costituisce il VCO) del PLL che si vuole analizzare.

I risultati ottenuti con un paio di VCO - uno basato su tecnologia BJT [4] e uno su tecnologia CMOS [5] - sono stati quindi verificati confrontandoli con quelli

ottenuti simulando (tramite PAN) modelli accurati di PLL. I tempi di simulazione nei due casi differiscono per almeno un ordine di grandezza, pur fornendo indicazioni comparabili.

Il simulatore “ad hoc” è stato inoltre utilizzato per individuare la regione di aggancio del PLL in funzione di due parametri, nello specifico la frequenza di riferimento e un secondo parametro che permette di variare le caratteristiche dinamiche del VCO: informazioni di questo tipo non sono ottenibili con il modello lineare e richiedono notevoli risorse di calcolo per essere dedotte da modelli circuitali accurati.

In conclusione, il lavoro svolto ha messo in evidenza alcuni limiti noti dei modelli lineari e ha portato allo sviluppo di un modello adatto all’esplorazione di ampie regioni dei parametri del modello. Questo tipo di approccio può portare notevoli vantaggi nella fase iniziale di progetto dei PLL, dal momento che coniuga la possibilità di effettuare simulazioni in tempi ragionevoli e un livello di dettaglio intermedio tra quello del modello lineare e quello accurato a livello di transistor.

Riferimenti bibliografici

- [1] F. M. Gardner, *Phase-lock Techniques*. New York: Wiley, 2005.
- [2] C. Vaucher, *Architectures for RF Frequency Synthesizers*. Dordrecht, Netherlands: Kluwer Academic, 2002.
- [3] A. Brambilla, D. Linaro, M. Storace, “Nonlinear Behavioral Model of Charge Pump PLLs,” sottoposto per la pubblicazione a *IEEE Transaction on Circuits and Systems I: Regular Papers*.
- [4] C. Samori, A. Lacaita, F. Villa, and F. Zappa, “Spectrum folding and phase noise in LC tuned oscillators,” *IEEE Trans on Circuit and Systems*, vol. 45, no. 6, pp. 781–790, July 1998.
- [5] G. Pruzzo, S. Gagliolo, and D. D. Caviglia, “Differential cross-coupled CMOS VCOs with resistive and inductive tail biasing,” in *Proceedings of ICECS '06. 13th IEEE International Conference on Electronics, Circuits and Systems*. PISCATAWAY, NJ 08854: IEEE Press, December 10-13 2006, pp. 335–338.